

CALCOLATORI ELETTRONICI B – 28 giugno 2010

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

lw \$t0, 40(\$t0)

lw \$s1, 40(\$t0)

sw \$s1, 20(\$t0)

add \$t0, \$s1, \$s1

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:

- non è disponibile alcuna unità di propagazione

- è disponibile un'unità di propagazione verso lo stadio E

- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità.

[6]

2. Si vuole implementare un processore mediante una pipeline a 4 stadi (F, D, E, W), in grado di eseguire le seguenti istruzioni, il cui significato è riportato a commento (per semplicità, si faccia riferimento solo alle seguenti istruzioni trascurando ad esempio l'istruzione sw, ecc.):

add rd, rs // $rd \leftarrow rd+rs$

lw rd, (rs) // $rd \leftarrow M[rs]$

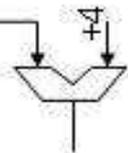
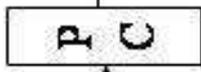
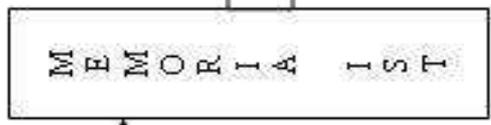
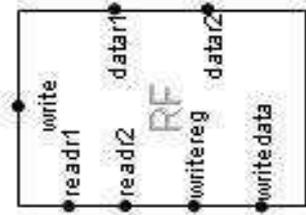
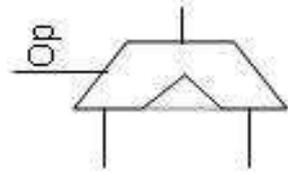
beq rs, rd, IND // IF ($rs == rd$) $PC \leftarrow PC+IND$

Per la gestione dei salti condizionati, si utilizza la tecnica del salto ritardato.

Nella pagina seguente è riportato uno schema incompleto di datapath.

Si chiede di:

- 1) completare i collegamenti tra unità funzionali e registri interstadio negli stadi F, D, E, W inserendo eventualmente opportuni multiplexer e indicando i segnali di controllo necessari;
- 2) disegnare nel datapath l'unità di controllo (che può essere schematizzata con un ovale) e i relativi collegamenti;
- 3) disegnare accuratamente nel datapath i collegamenti dei segnali di controllo nei diversi stadi della pipeline;
- 4) fornire per mezzo di una tabella la specifica dell'unità di controllo (i codici operativi delle istruzioni possono essere specificati in forma simbolica).
- 5) relativamente all'implementazione della beq, specificare il numero di slot di ritardo che si verificano e spiegare (molto brevemente) perché. [10]



3. Si consideri l'implementazione del processore con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back) che utilizza la predizione dinamica sui salti mediante BPB (Branch Prediction Buffer). Si ricorda che il BPB contiene solo la statistica utilizzata per la predizione dei salti condizionati, mentre non consente di predire l'indirizzo di destinazione del salto.

Per i salti condizionati, si ipotizzi in particolare che:

- il calcolo dell'indirizzo di destinazione effettivo sia effettuato nello stadio D
- la condizione di salto sia valutata nello stadio E

Si consideri il seguente frammento di codice MIPS:

```
    beq    $s0, $s1, Dest
    add    $t0, $s0, $s1
    ...
Dest: add    $t0, $t0, $t1
    sub    $t3, $t5, $t6
```

Si ipotizzi che il BPB preveda per l'istruzione beq che il salto venga effettuato. Si chiede di tracciare il diagramma temporale delle istruzioni (e di indicare il numero di cicli di penalità) nelle due ipotesi seguenti:

- predizione corretta
- predizione errata

Se si utilizzasse al posto di un BPB un BTB (in grado di prevedere anche l'indirizzo di destinazione del salto), come cambierebbero i diagrammi precedenti? Si assuma che il BTB effettui una predizione sull'indirizzo di destinazione sempre corretta. [6]

4. Si consideri un processore MIPS, implementato tramite pipeline a 5 stadi, che disponga di una cache primaria e di una cache secondaria (distinte per i dati e le istruzioni). La cache primaria presenta le seguenti caratteristiche:

- numero di cicli di clock richiesti in caso di successo (hit): 1
- percentuale di successo (hit rate): 90% per le istruzioni, 70% per i dati
- penalità di fallimento: 10 cicli di clock

Per la cache secondaria valgono invece le seguenti condizioni:

- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati
- cicli di clock per trasferire un blocco dalla cache secondaria alla cache primaria: 5

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw:	20 %
sw:	20 %
Tipo-R:	30 %
beq:	20 %
j:	10 %

Si supponga inoltre che:

- il 40% delle istruzioni Tipo-R siano seguite da istruzioni che ne utilizzano il risultato;
- il 30% delle istruzioni lw siano seguite da istruzioni Tipo-R che ne utilizzano il risultato;
- il 6% delle istruzioni lw siano seguite da istruzioni sw che ne utilizzano il risultato per il calcolo dell'indirizzo;
- il 20 % delle istruzioni lw siano seguite da istruzioni sw che ne utilizzano il risultato per immagazzinarlo in memoria.
- il 4% delle istruzioni lw siano seguite da istruzioni sw che ne utilizzano il risultato sia per il calcolo dell'indirizzo sia per immagazzinarlo in memoria.

Tenendo conto dei miss di cache e delle criticità sui dati, si calcoli il CPI (numero medio di cicli di clock per istruzione) ottenuto nei due casi seguenti:

- si dispone di un'unità di propagazione solo verso lo stadio E
- si dispone di un'unità di propagazione verso lo stadio E ed una verso lo stadio M. [4]

5. Con riferimento alla memoria virtuale, si illustri sinteticamente (4-5 righe al massimo) la funzione del TLB. Si consideri il caso in cui il numero di pagina virtuale non sia contenuto nel TLB: è possibile dire che ciò provoca in ogni caso un'eccezione per mancanza di pagina (page-fault)? Perché?

Nel caso in cui la pagina fisica associata alla pagina virtuale sia presente in memoria, si illustri come viene ottenuto l'indirizzo fisico a partire da quello virtuale, evidenziando i campi comuni e distinti. [3]

6. Descrivere sinteticamente il protocollo di handshaking. Enunciare due motivi fondamentali che favoriscono, per i bus di I/O (input/output), l'adozione della temporizzazione asincrona al posto di quella sincrona. [3]